

PAT-NO : JP403196536A

DOCUMENT- IDENTIFIER : JP 03196536 A

TITLE : SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

PUBN-DATE : August 28, 1991

INVENTOR- INFORMATION :
NAME
NISHIDA, HIROSHI

ASSIGNEE- INFORMATION :
NAME
NEC CORP

APPL-NO : JP01337429

APPL-DATE : December 25, 1989

INT-CL (IPC) : H01L021/60, H01L021/66

US-CL-CURRENT : 29/827, 438/17

ABSTRACT :

PURPOSE: To conduct a large number of electrical-characteristic tests by forming a pad for the test near a pad for bonding and connecting both pads by a fuse element.

CONSTITUTION: Pads 3-1 to 3-12 for bonding, to which internal wirings 2 are connected, and pads 4-1 to 4-7 for tests, to which each of pads 3-1 to 3-7 for bonding are bonded by fuse elements 5-1 to 5-7, are formed onto a semiconductor substrate 1. Electrical characteristics are tested by using the pads 4-1 to 4-7 for tests as pads employed for a large number of tests, and high voltage is applied among the pads 3-1 to 3-7 for bonding and the pads 4-1 to 4-7 for tests after the test of electrical characteristics, and the fuse elements 5-1 to 5-7 are cut. Accordingly, even when the surfaces of the pads for tests are damaged, the pads for tests are bonded by the pads for bonding, thus allowing a large number of electrical-characteristic tests.

COPYRIGHT: (C) 1991, JPO&Japio

⑩ 日本国特許庁 (JP) ⑪ 特許出願公開
⑫ 公開特許公報 (A) 平3-196536

⑬ Int.Cl. : H 01 L 21/60 ⑭ 特別記号 301 E ⑮ 施査登録番号 6918-5F
21/66 ⑯ 公開日 平成3年(1991)8月28日
⑰ 代理人 内原晋

⑯ 発明の名称 半導体集積回路装置

①特願 平1-337429

②出願 平1(1989)12月25日

③発明者 西田宏 東京都港区芝5丁目33番1号 日本電気株式会社内

日本電気株式会社 東京都港区芝5丁目7番1号

弁理士 内原晋

④代理人 内原晋

明細書

発明の名称

半導体集積回路装置

特許請求の範囲

半導体基板上に設けられた複数のボンディング用パッドと、少なくとも1つの前記ボンディング用パッドの近傍に設けられた試験用パッドと、これら試験用パッドと前記ボンディング用パッドと接続するヒューズ素子とを備えたことを特徴とする半導体集積回路装置。

発明の詳細な説明

(産業上の利用分野)

本発明は半導体集積回路装置に関し、特に半導体基板上で電気特性試験を行う半導体集積回路装置に関するものである。又、半導体基板上で電気特性試験を多数回必要とする場合は上記(従来の技術)

従来、半導体基板に形成された個々の半導体集

積回路装置は、半導体基板の内部に形成され外部リードと接続するためのボンディング用のパッドに、このパッドと対向する位置に針を設けたプローブカードの針を接続させて行う電気特性試験によって良否を識別していた。こうして識別された半導体集積回路装置は、個々にダイシングされた

半導体基板に接続され、先に電気特性試験をされた。

(発明が解決しようとする課題)

上述した従来の半導体集積回路装置は、電気特性試験を行うパッドとボンディング不良を免

生する要因となつてゐるパッドの表面損傷を考慮して、パッドにプローブカードの針を接触させる回数は2～3回に限定されており、それ以上に検針を行つた半導体集積回路装置は不良として施業しなければならない欠点がある。又、半導体基板上で電気特性試験を多数回必要とする場合は上記の試験方法が適用できないという欠点がある。

〔課題を解決するための手段〕

本発明の半導体集積回路装置は、半導体基板上に設けられた複数のボンディング用パッドと、少なくとも1つの前記ボンディング用パッドの近傍に設けられた試験用パッドと、これら試験用パッドと前記ボンディング用パッドとを接続するヒューズ素子とを備えている。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の第1の実施例の平面図である。

第1図に示すように第1の実施例は、半導体基板1上に設けられた内部配線2が接続されるボンディング用パッド3-1～3-12と、ボンディング用パッド3-1～3-7のそれぞれの近傍に設けられた試験用パッド4-1～4-7と、ボンディング用パッド3-1～3-7と試験用パッド4-1～4-7とをそれぞれ接続するヒューズ素子5-1～5-7とを含んで構成されている。

このように構成して、電気特性試験の回数の多くなるパッドは試験用パッド4-1～4-7を使用して電気特性試験を行い、電気特性試験後はボンディング用パッド3-1～3-7と試験用パッド4-1～4-7との間に高電圧をえてヒューズ素子5-1～5-7を切断する。ボンディング用パッド3-1～3-12はすべてボンディング用パッド3-1～3-12を行なう。

第2図は本発明の第2の実施例の平面図である。

第2図に示すように、第2の実施例はすべてのボンディング用パッド3-1～3-12とそれぞれの近傍に試験用パッド4-1～4-12を設け、ボンディング用パッド3-1～3-12とをそれぞれヒューズ素子5-1～5-12で接続している。

第3図は本発明の第3の実施例の平面図である。

第3図に示すように、第3の実施例は試験用パッド4-1～4-13が半導体基板1の外周部に配置され、

その内側にボンディング用パッド3-1～3が配置され、それぞれの試験用パッド4-1～13とそれぞれのボンディング用パッド3-1～13とはヒューズ素子5-1～13を介して接続され、ボンディング用パッド3-1～13は、内部配線2-1と接続される。尚、ボンディング用パッドと試験用パッドは材料、形状が同じである必要はない。

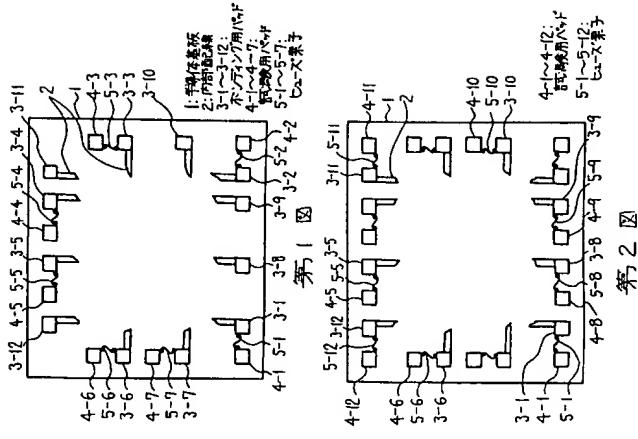
〔発明の効果〕

以上説明したように本発明は、外部リードと接続するためのボンディング用パッドの近傍に試験用パッドを設け、両者をヒューズ素子を介して接続することにより、電気特性試験で試験用パッドの裏面が損傷してもボンディング用パッドにより完全なボンディングができる。電気特性試験を多數回実施できるという効果があり、かつ電気特性試験終了後ヒューズ素子を燃焼させてボンディング用パッドと試験用パッドを切り離すことにより、試験用パッドにより付随する容量を低減でき、周波数特性を劣化させないという効果がある。

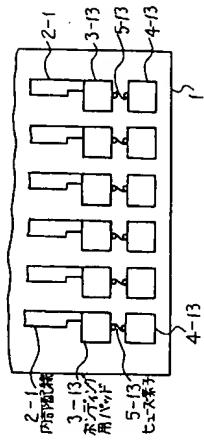
図面の簡単な説明

第1図乃至第3図はそれぞれ本発明の第1乃至第3の実施例の平面図である。

代理人弁理士内原晋



第2図



第3図